

سیلابس درس مدار منطقی

مصوب در گروه سیستمهای دیجیتال مورخ ۴ خرداد ۱۳۹۳

تعداد جلسات (تقریبی)	سرفصل
۱	مقدمه ای بر جایگاه مدار منطقی در سیستم های دیجیتال- آشنایی اولیه با سیگنال ها و مدارهای دیجیتال - معرفی ترانزیستور بعنوان سوئیچ
۱/۵	نمایش اعداد در میناهای ۱۰ و ۲ و ۱۶ - تبدیل از یک مینا به مینای دیگر-نمایش اعداد منفی - جمع و تفریق در مینای ۲ -انواع نمایش اعداد علامت دار- سرریز - کدهای BCD و گری
۲	انتقال داده، آشکارسازی و تصحیح خطا - مفهوم fixed-point و floating-point - گیت های اولیه - جدول صحت - معرفی وریلاگ - وریلاگ در سطح گیت - یک Test bench ساده برای گیت های اولیه
۱	جبر بول - عبارت استاندارد تابع منطقی - ساده سازی عبارت منطقی (SOP و POS, minterm و maxterm) -
۰/۵	ملاحظات زمانی (تاخیر گیت ها، $T_{fall}$ ، $T_{rise}$ ، Propagation delay)
۱/۵	جدول کارنا (از ۲ تا ۵ متغیره)- حالت don't care - خطرات ثابت
۲/۵	دکودر - انکدر - مالتی پلکسر - دی مالتی پلکسر - مولد پریتمی - مقایسه گر - واحد محاسباتی و منطقی - مبدل کد - Tri-state buffer - مفهوم مسیر بحرانی در مدارها
۱	پیاده سازی توابع بر مینای NAND-AND و AND-NOR و ... پیاده سازی توابع بر مینای مالتی پلکسر (بسط Shannon)
۲	- جمع و تفریق (Ripple carry و carry look-ahead) برای نمایش های مختلف اعداد برای اعداد علامتدار و بدون علامت. مفهوم sign extension - جمع BCD
۱/۵	کد وریلاگ مدارهای ترکیبی ماجولار بصورت همزمان در هر بخش(انواع سیگنالها در وریلاگ و نحوه instantiation)
۲/۵	ساختار مدار ترتیبی - لچ ها - فلیپ فلاپ ها - ملاحظات زمانی (setup time و hold time) - توصیف مدارهای ترتیبی در وریلاگ - وریلاگ در سطح RTL - انواع سطوح توصیف سخت افزار در وریلاگ (behavioral, structural و RTL)
۲	شیفت رجیسترها - شمارنده ها - مثال های طراحی ماجولار توسط شیفت رجیستر و شمارنده - پیاده سازی توابع بر مینای LUT - کدوریلاگ متناظر با این بلوک ها
۱/۵	ساختار PLD های ساده ترکیبی - ساختار PROM - ساختار PAL و PLA - ساختار PLD های ساده حافظه - دار - ساختار ماکروسل - ساختار CPLD - آشنایی با Quartus و Modelsim
۲	ماشین های حالت (مدل های میلی و مور) - روش تحلیل مدار ترتیبی سنکرون - روش طراحی مدار ترتیبی سنکرون
۲/۵	- حالات معادل - تخصیص حالت - کاهش تعداد حالت ها - مفهوم data path و control logic - FIFO ها و BUS - پیاده سازی ماشین های حالت (data path و control logic و FSM) در وریلاگ
۲	مدل مدار ترکیبی آسنکرون مد اصلی - تحلیل مدار ترتیبی مد اصلی - جدول جریان - مسابقه - سیکل - طراحی مدار مد اصلی - حالات سازگار - طراحی بدون خطر
۱	مباحث تکمیلی (لی اوت ساده گیت های اولیه مانند NOT و NAND. مفهوم Fan-in و Fan-out. فرمول اتلاف توان در مدارهای دیجیتال، مباحث مربوط به کلاک (clock jitter و clock skew) - Pull-up, - (pull-down, CMOS gate-level design from Boolean expressions)
۲۸	جمع

مراجع:

- Fundamentals of Digital Logic with Verilog Design, Brown
- Digital Logic Circuit Analysis and Design , Nelson
- Digital Design, Mano
- مدارهای منطقی و سخت افزار کامپیوتر، دکتر محمود تابنده، مهندس سید محمد مکی